

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5009452号
(P5009452)

(45) 発行日 平成24年8月22日 (2012. 8. 22)

(24) 登録日 平成24年6月8日 (2012. 6. 8)

(51) Int. Cl.

F 1

A 6 1 B 1/04 (2006.01)

A 6 1 B 1/04 3 6 2 J

請求項の数 7 (全 10 頁)

(21) 出願番号	特願2012-517025 (P2012-517025)	(73) 特許権者	304050923
(86) (22) 出願日	平成23年5月13日 (2011. 5. 13)		オリンパスメディカルシステムズ株式会社
(86) 国際出願番号	PCT/JP2011/061095		東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
(87) 国際公開番号	W02012/014547	(74) 代理人	100076233
(87) 国際公開日	平成24年2月2日 (2012. 2. 2)		弁理士 伊藤 進
審査請求日	平成24年4月4日 (2012. 4. 4)	(72) 発明者	瀬川 和則
(31) 優先権主張番号	特願2010-172860 (P2010-172860)		東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オ
(32) 優先日	平成22年7月30日 (2010. 7. 30)		リンパスメディカルシステムズ株式会社内
(33) 優先権主張国	日本国 (JP)		
早期審査対象出願		審査官	門田 宏
		(56) 参考文献	特開2007-167590 (JP, A)
			)
			特開平10-211166 (JP, A)
			特開平4-372213 (JP, A)
			最終頁に続く

(54) 【発明の名称】 内視鏡システム

(57) 【特許請求の範囲】

【請求項 1】

差動信号を出力するドライバと、
 前記ドライバから出力された前記差動信号を伝送する差動伝送線路と、
前記差動伝送線路により伝送された前記差動信号を入力するために、前記差動伝送線路端に接続される 2 つの入力端子を有するパルストランスと、
 前記差動信号が入力される前記パルストランスの入力側に少なくとも前記パルストランスと並列に接続され、前記差動伝送線路に混入するノイズの所定のノイズ周波数において、前記バイパスインピーダンス素子と並列に接続されている前記パルストランスが接続されている回路インピーダンスより小さいバイパスインピーダンス素子を備えたインピーダンス部材と、
 前記パルストランスの前記 2 つの入力端子間距離が、前記差動伝送線路の線路間インピーダンスに等しくなるように、前記パルストランスの前記 2 つの入力端子間及び前記差動伝送路間に配設された誘電体と、
 を備えることを特徴とする内視鏡システム。

【請求項 2】

前記インピーダンス部材は、抵抗、コンデンサ及びコイルの少なくとも 1 つを含む受動部品であることを特徴とする請求項 1 に記載の内視鏡システム。

【請求項 3】

前記バイパスインピーダンス素子のインピーダンスは、伝送される前記差動信号の周波

数において、前記バイパスインピーダンス素子と並列に接続されている前記パルストランスが接続されている回路インピーダンスより大きいことを特徴とする請求項1に記載の内視鏡システム。

【請求項4】

前記差動信号線路は、基板上に設けられた差動パターンであることを特徴とする請求項1に記載の内視鏡システム。

【請求項5】

前記差動パターンにおいて、前記パルストランスとの接続のための接続端部に向かって広がっているパターン間の領域に、前記誘電体が設けられていることを特徴とする請求項4に記載の内視鏡システム。

10

【請求項6】

前記差動信号線路は、ツイストペア線であることを特徴とする請求項1に記載の内視鏡システム。

【請求項7】

前記インピーダンス部材は、コイルであり、
前記コイルと前記差動伝送線路の一方の線路との接続点と、前記接続点と前記パルストランスの一端との間に、コンデンサが接続されていることを特徴とする請求項1に記載の内視鏡システム。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、内視鏡システムに関し、特に、差動信号線路を流れる差動信号が入力されるパルストランスを用いた内視鏡システムに関する。

【背景技術】

【0002】

従来より、内視鏡は、医療分野及び工業分野で広く用いられている。特に、医療分野で用いられる内視鏡システムでは、患者の安全性を確保するために、CCDの駆動回路及び映像信号処理回路の一部は、二次回路とは絶縁分離された患者回路に搭載されている。

【0003】

例えば、国際公開WO2007/004428号及び日本国特開2007-167590号公報に開示されているように、患者回路と二次回路間の信号の伝送に差動信号を使用する内視鏡システムが提案されている。それらの提案では、差動信号は、LVDS (Low Voltage Differential Signaling) の規格に沿った信号であり、LVDS伝送路には、絶縁のためにパルストランスが用いられている。

30

【0004】

外来ノイズが差動信号を伝送する差動伝送線路に混入した場合、外来ノイズがコモン・モード・ノイズであれば、終端回路部における引き算によって外来ノイズはキャンセルされる。そのため、差動信号は、外来ノイズに強いという特性を有する。通常、パルストランスの入力側の基板上のパターンは、特性インピーダンスが例えば、100[Ω]になるように形成され、コモン・モード・ノイズはキャンセルされる。

40

【0005】

しかし、パルストランス内の一次側コイルの端子間のインダクタンス成分によるインピーダンスは、ノイズの周波数によっては高くなる場合がある。そのため、静電気、電気メス等の外来ノイズが一次側コイルに流れた場合、一次側コイルの両端間に大きな電位差が発生し、差動信号中の実信号が劣化するという問題がある。

【0006】

本発明は、以上の問題に鑑みてなされたものであり、イミュニティ耐性を向上させた内視鏡システムを提供することを目的とする。

【発明の開示】

【課題を解決するための手段】

50

【 0 0 0 7 】

本発明の一態様によれば、差動信号を出力するドライバと、前記ドライバから出力された前記差動信号を伝送する差動伝送線路と、前記差動伝送線路により伝送された前記差動信号を入力するために、前記差動伝送線路端に接続される２つの入力端子を有するパルストランスと、前記差動信号が入力される前記パルストランスの入力側に少なくとも前記パルストランスと並列に接続され、前記差動伝送線路に混入するノイズの所定のノイズ周波数において、前記バイパスインピーダンス素子と並列に接続されている前記パルストランスが接続されている回路インピーダンスより小さいバイパスインピーダンス素子を備えたインピーダンス部材と、前記パルストランスの前記２つの入力端子間距離が、前記差動伝送線路の線路間インピーダンスに等しくなるように、前記パルストランスの前記２つの入力端子間及び前記差動伝送路間に配設された誘電体と、を備える内視鏡システムを提供することができる。

10

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の実施の形態に係わる内視鏡システムの構成を示す構成図である。

【図 2】本発明の実施の形態に係わるLVDS伝送部 2 8 の構成を示す構成図である。

【図 3】本発明の実施の形態に係わる、LVDSドライバ 4 1 からのLVDS信号を伝送する差動伝送線路とパルストランス 4 2 との接続部分の斜視図である。

【図 4】本発明の実施の形態に係わる、LVDSドライバ 4 1 からのLVDS信号を伝送する差動伝送線路とパルストランス 4 2 との接続部分を説明するための図である。

20

【図 5】本発明の実施の形態に係わる差動信号の電荷の流れを説明するための図である。

【図 6】本発明の実施の形態に係わる、差動パターン 5 1 , 5 2 の接続端部 5 1 a、5 2 a 間に、誘電体部材が設けられる状態を示す図である。

【図 7】本発明の実施の形態に係わる抵抗 5 4 の作用を説明するための回路図である。

【図 8】インピーダンス部材として、コンデンサとコイルからなる回路を用いた場合の回路の例を示す図である。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、図面を参照して本発明の実施の形態を説明する。

(内視鏡システムの構成)

30

まず図 1 に基づき、本実施の形態に係わる内視鏡システムの構成を説明する。図 1 は、本実施の形態に係わる内視鏡システムの構成を示す構成図である。

【 0 0 1 0 】

図 1 に示すように、内視鏡システム 1 は、内視鏡 2 と、内視鏡 2 が接続されて撮像素子からの映像信号の信号処理等を行うプロセッサ 3 とを含んで構成されている。本実施の形態では、内視鏡システム 1 における内視鏡 2 は、先端に撮像素子が設けられた挿入部を有する内視鏡であるが、硬性鏡の基端部に装着されるカメラヘッドでもよい。

内視鏡 2 は、撮像素子としての CCD 1 1 と、内視鏡 2 の識別用抵抗 1 2 を含む。内視鏡 2 とプロセッサ 3 は、図示しない信号ケーブルにより接続されている。

【 0 0 1 1 】

40

プロセッサ 3 は、内視鏡 2 が接続される患者側回路 3 a と、患者側回路 3 a と電氣的に絶縁された 2 次側回路 3 b とを含む。

患者側回路 3 a は、内視鏡 2 の CCD 1 1 を駆動する CCD ドライバ 2 1 と、内視鏡 2 からの撮像信号を増幅するプリアンプ 2 2 と、プリアンプ 2 2 からの撮像信号を相関二重サンプリングしデジタル化する CDS & A/D 部 2 3 とを備えている。CDS & A/D 部 2 3 は、プリアンプ 2 2 を介して入力される内視鏡 2 からの撮像信号を所定の周波数のパラレル信号に変換する。

【 0 0 1 2 】

CDS & A/D 部 2 3 からのパラレル信号は、LVDS 変換部 2 4 に入力される。LVDS 変換部 2 4 は、入力されたパラレル信号を LVDS 伝送のためのシリアル信号に変換する。

50

CCDドライバ21及びCDS&A/D部23は、ドライブ制御部25により制御される。ドライブ制御部25は、フォトカプラ26を介して2次側回路3bに設けられているクロック回路(CLK)27からの基準クロックに基づきCCD制御信号を生成し、CCDドライバ21及びCDS&A/D部23を制御する。ここでは、LVDS変換部24及びドライブ制御部25はFPGA(フィールドプログラマブルゲートアレイ)により構成されている。

【0013】

LVDS変換部24により変換されたLVDS伝送のためのシリアル信号は、LVDS伝送部28を介して2次側回路3bのLVDS変調部29に伝送される。

LVDS変調部29では、LVDS伝送部28を介して入力されたシリアル信号をLVDS変換部24とは逆の変換を行い、所定の平行信号に変換する。変換された平行信号は、色処理部30で色分解処理、同時化処理等が行われ、画像データとして、画像メモリ31に格納される。

そして、画像メモリ31に格納された画像データは、HD信号処理部32あるいはSD信号処理部33で画像信号処理されて、図示しないモニタに出力される。

【0014】

これら色処理部30、HD信号処理部32あるいはSD信号処理部33は、制御部34により制御される。制御部34は、内視鏡2の識別用抵抗12をフォトカプラ35を介して検知することで、内視鏡2の種類に応じた映像処理の制御を行う。ここで、HD信号処理部32は高解像度の映像信号処理を行い、SD信号処理部33は標準解像度の映像信号処理を行う処理部である。ここでは、LVDS変調部29、色処理部30、HD信号処理部32及びSD信号処理部33はFPGA(フィールドプログラマブルゲートアレイ)により構成されている。

【0015】

制御部34は、図示しないキーボード、プリンタ、PCMCIA、LAN、フットスイッチ等の周辺機器とのインターフェイスを有すると共に、フロントパネル36とのインターフェイスを有している。さらに、制御部34は、内部にキャラクタジェネレータ34aを備えており、必要に応じたメッセージを生成して、モニタに表示させることができる。

【0016】

図2は、LVDS伝送部28の構成を示す構成図である。LVDS伝送部28は、LVDSドライバ41、パルストランス42、及びLVDSレシーバ43を含んで構成されている。

パルストランス42は、一次側のコイル42aと二次側のコイル42bを有する。LVDS変換部24からのシリアル信号が、LVDSドライバ41に入力される。LVDSドライバ41は、差動信号を出力するドライバであり、パルストランス42の入力側(すなわち一次側)のコイル42aに、LVDS信号を供給する。

【0017】

パルストランス42の出力側(すなわち二次側)のコイル42bは、LVDSレシーバ43に接続されている。LVDSレシーバ43は、受信したLVDS信号をLVDS変調部29に出力する。

【0018】

(差動伝送線路とパルストランスとの接続構造)

図3は、LVDSドライバ41からのLVDS信号を伝送する差動伝送線路50と、パルストランス42との接続部分の斜視図である。

図3に示すように、差動伝送線路50を構成する2本の配線パターン(以下、差動パターンという)51、52が、基板53上に設けられている。差動伝送線路50は、LVDSドライバ41から出力された差動信号を伝送するマイクロストリップラインである。さらに、チップ部品であるパルストランス42も、基板53上に搭載されている。パルストランス42は、差動伝送線路50の端に接続され、差動伝送線路50により伝送された差動信号が入力される。

【0019】

互いに平行に形成された2本の差動パターン51、52の端部(以下、接続端部という)51a、52aは、それぞれパルストランス42の2つの入力端子44、45が接続さ

10

20

30

40

50

れている。パルストランス 4 2 の 2 つの入力端子間距離は、差動伝送路 5 0 の線路間インピーダンスに等しくなるように形成されている。

【 0 0 2 0 】

また、接続端部 5 1 a、5 2 a の近傍には、2 本の差動パターン 5 1、5 2 を接続する抵抗 5 4 が設けられている。チップ部品である抵抗 5 4 は、差動信号が入力されるパルストランス 4 2 の 2 つの入力端子 4 4、4 5 間を電氣的に接続し、差動伝送線路 5 0 に混入するノイズ中の所定のノイズ周波数におけるパルストランス 4 2 のインピーダンスよりも、小さいインピーダンスを有するインピーダンス部材である。言い換えると、抵抗 5 4 は、パルストランス 4 2 と並列に接続されたバイパスインピーダンス素子を備えたインピーダンス部材である。そして、抵抗 5 4 のインピーダンスは、差動伝送線路 5 0 に混入する所定のノイズ周波数において、抵抗 5 4 と並列に接続されているパルストランス 4 2 側の回路インピーダンスよりも小さい。

10

なお、図 3 において点線で示すように、抵抗 5 4 は、パルストランス 4 2 内に設けてもよい。

【 0 0 2 1 】

(作用)

図 4 は、LVDSドライバ 4 1 からの LVDS 信号を送送する差動伝送線路とパルストランス 4 2 との接続部分を説明するための図である。図 5 は、差動信号の電荷の流れを説明するための図である。

【 0 0 2 2 】

20

差動伝送線路 5 0 が設けられる基板 5 3 は、図 5 に示すように、多層基板であり、最上位層上に、2 本の差動パターン 5 1、5 2 が形成されている。基板 5 3 内には、グラウンド (GND) 層 5 5 が形成されている。

通常、基板 5 3 上に形成される 2 本の差動パターン 5 1、5 2 は、差動信号の送信位置から受信位置までの差動伝送線路 5 0 のインピーダンスが所望のインピーダンスになるように、パターンの幅、絶縁層の厚さ、絶縁層とグラウンド (GND) 間の距離等々の物理的な構造に基づく各種シミュレーションを行いながら設計され、2 本の差動パターン 5 1、5 2 間のペア間距離 d_1 が決定される。

【 0 0 2 3 】

本実施の形態では、図 3 と図 4 に示すように、2 本の差動パターン 5 1、5 2 のペア間距離 d_1 とパルストランス 4 2 の 2 つの入力端子 4 4、4 5 間の距離 d_2 とが等しくなるように、差動伝送線路 5 0 とパルストランス 4 2 が接続される。言い換えると、パルストランス 4 2 の 2 つの入力端子間の距離 d_2 は、差動伝送路 5 0 の線路間インピーダンスに等しくなるように形成されている。

30

【 0 0 2 4 】

これは、差動伝送線路 5 0 とパルストランス 4 2 の接続部分において、インピーダンス不整合が生じないようにするためである。

この点につき、具体的に説明する。パルストランス 4 2 の 2 つの入力端子 4 4、4 5 間の距離と、2 本の差動パターン 5 1、5 2 のペア間距離が異なるように、差動伝送線路 5 0 とパルストランス 4 2 を接続する場合を想定する。例えば、図 4 において点線で示すように、2 本の差動パターン 5 1、5 2 は、接続端部 5 1 a、5 2 a に向かってペア間距離が大きくなる場合を想定する。

40

【 0 0 2 5 】

Pチャンネルの正の電荷が差動パターン 5 2 に流れるとき、差動パターン 5 1 にはNチャンネルに負の電荷が励起されて流れる。設計で決められたペア間距離 d_1 が保たれている 2 本の差動パターン 5 1、5 2 間では、2 本の差動パターン 5 1、5 2 に生じる磁界は、相反する方向であるため、ノイズの放射はない。

しかし、図 4 及び図 5 において点線で示すように、差動パターン 5 1、5 2 の接続端部 5 1 a、5 2 a 間の距離 d_2 がペア間距離 d_1 よりも大きくなっていると、差動パターン 5 1、5 2 は接続端部 5 1 a、5 2 a に向かって広がるように形成され、この差動パターン間

50

の距離が広がる部分でインピーダンスの不整合が生じる。

【 0 0 2 6 】

パターン間の距離が広がるにつれて、差動パターン 5 2 に流れる正の電荷に対応する負の電荷が、差動パターン 5 1 に流れずに、差動パターン 5 2 からの距離が差動パターン 5 1 よりも近いグラウンド (GND) 層 5 5 に発生して流れてしまう場合がある。その場合、グラウンド (GND) 層において負の電荷の漏れが生じて、グラウンド (GND) 層 5 5 からの放射が発生してしまう。また、インピーダンスの不整合が生じているので、外部からのノイズの影響も受けやすくなってしまう。

【 0 0 2 7 】

そこで、図 3 から図 5 において実線で示すように、差動パターン 5 1 , 5 2 のペア間距離 $d1$ が接続端子部 5 1 a、5 2 a まで保たれるようにし、そのために、パルストランス 4 2 の入力端子 4 4 , 4 5 間の距離 $d2$ を、そのペア間距離 $d1$ と等しくしている。

10

【 0 0 2 8 】

なお、差動パターン 5 1 , 5 2 のペア間距離を一定にする代わりに、差動パターン 5 1 , 5 2 において接続端部 5 1 a、5 2 a に向かって広がっている領域に、誘電体を設けて、パルストランス 4 2 の 2 つの入力端子間距離が、差動伝送路 5 0 の線路間インピーダンスに等しくなるようにしてもよい。

【 0 0 2 9 】

図 6 は、差動パターン 5 1 , 5 2 の接続端部 5 1 a、5 2 a 間に、誘電体部材が設けられる状態を示す図である。図 6 に示すように、誘電体部材 5 7 が、一对の差動パターン 5 1 , 5 2 において接続端部 5 1 a、5 2 a に向かって広がっているパターン間の領域 5 6 に設けられている。

20

領域 5 6 に設けられる誘電体部材 5 7 の誘電率 $\epsilon 2$ は、あたかも上記の広がる部分におけるパターン間の距離が差動パターン 5 0 のペア間距離 $d1$ と同じになるような値であり、差動パターン 5 1 , 5 2 が平行な領域におけるパターン間の誘電率 $\epsilon 1$ よりも大きい。誘電体の材料としては、例えば、通常領域のエポキシ系材料よりも誘電率が高いセラミック系材料等がある。

【 0 0 3 0 】

次に、抵抗 5 4 の作用について説明する。

図 7 は、抵抗 5 4 の作用を説明するための回路図である。図 7 に示すように、LVDSドライバ 4 1 に対応する LVDS 信号源 SS が、差動パターン 5 1 , 5 2 間に接続されている。また、パルストランス 4 2 内の一次巻線に対応するコイル 4 2 a が、差動パターン 5 1 , 5 2 の接続端部 5 1 a、5 2 a 間に接続されている。さらに、コイル 4 2 a に並列接続された抵抗 5 4 が、差動パターン 5 1 , 5 2 間に接続されている。コイル 4 2 a を含むパルストランス 4 2 のインピーダンス Z は、信号の周波数によって異なる。

30

【 0 0 3 1 】

図 7 では、静電気、電気メス等によるノイズが、差動パターン 5 1 , 5 2 のそれぞれと患者側回路 3 a の基板グラウンド (GND(P)) との間に接続されているノイズ源 NS として示している。さらに、差動パターン 5 1 , 5 2 と、グラウンド層 (GND(S)) 5 5 と間のインピーダンス $Z0$ は、インピーダンス素子 6 1 として示されている。

40

【 0 0 3 2 】

ノイズが差動伝送線路 5 0 に混入すると、パルストランス 4 2 のインピーダンスは、そのノイズの周波数に応じたインピーダンスとなる。例えば、ノイズ信号の周波数が 300 [MHz] で、コイル 4 2 a が 50 [μ H] であるとき、コイル 4 2 a を含むパルストランス 4 2 のインピーダンス Z は、 $95\text{K}\Omega (= 50 \times (2 \times \pi \times 300))$ となる。

【 0 0 3 3 】

一方、抵抗 5 4 のインピーダンス $Z1$ は、差動パターン 5 1 , 5 2 に混入するノイズの所定の周波数におけるパルストランス 4 2 のインピーダンス Z よりも小さくなるように、選択される。

【 0 0 3 4 】

50

例えば、インピーダンス素子 6 1 (すなわち差動パターン 5 1, 5 2 とグラウンド (GND(S)) 層 5 5 との間) のインピーダンス Z_0 は、高いインピーダンス、例えば 30 [k Ω] である。抵抗 5 4 のインピーダンス Z_1 は、低いインピーダンス、例えば 100 [Ω] である。

【0035】

また、抵抗 5 4 のインピーダンス Z_1 は、伝送される LVDS の差動信号の周波数におけるパルス幅 4 2 のインピーダンス Z より大きくなるように選択されている。これにより、差動信号の電流は、パルス幅 4 2 のコイル 4 2 a に流れる。

【0036】

しかし、ノイズ信号が差動パターン 5 1, 5 2 に混入したとき、電気メス等のノイズのノイズ周波数における抵抗 5 4 のインピーダンス Z_1 は、コイル 4 2 a のインピーダンス Z_2 よりも小さい。上記の例では、抵抗 5 4 のインピーダンス Z_1 は 100 Ω であり、パルス幅 4 2 のインピーダンス Z は、15 k Ω である。そのため、ノイズ電流 I_n を含む電流 I は、コイル 4 2 a に流れずに、インピーダンスの低い抵抗 5 4 に流れる。

【0037】

図 7 において、実線は、ノイズ電流 I_n を含む電流 I が実線の矢印 A で示す方向に抵抗 5 4 に流れた場合を示し、点線は、ノイズ電流 I_n を含む電流 I が点線の矢印 B で示す方向にコイル 4 2 a に流れた場合を示している。

【0038】

所定の周波数のノイズが混入したとき、電流 I がコイル 4 2 a に流れた場合におけるコイル 4 2 a の両端間の電位差 ($I \times 15 \text{ k}\Omega$) に比べ、電流 I が抵抗 5 4 に流れた場合におけるコイル 4 2 a の両端間の電位差 ($I \times 100 \Omega$) は、低くなるので、実信号である差動信号の劣化は、大きく抑制される。

【0039】

すなわち、電流 I のほとんどが、コイル 4 2 a に並列に接続されている抵抗 5 4 に流れるようになるので、ノイズ電流 I_n による差動パターン 5 1, 5 2 上の実信号の劣化を大きく抑制することができる。

【0040】

よって、静電気、電気メス等によるノイズの周波数に基づいて、パルス幅 4 2 と抵抗 5 4 のそれぞれのインピーダンスを、上記のような関係に設定することによって、ノイズの混入時の実信号の劣化を抑制することができる。結果として、上述した実施の形態によれば、イミュニティ耐性を向上させた内視鏡システムを実現することができる。

【0041】

なお、以上の実施の形態では、インピーダンス部材として、差動パターンに混入するノイズの所定のノイズ周波数におけるパルス幅のインピーダンスよりも小さいインピーダンスを有する受動部品である抵抗を例に挙げたが、抵抗の代わりの受動部品として、そのようなインピーダンスを有するものであれば、コンデンサあるいはコイルでもよい。さらに、その受動部品は、抵抗、コンデンサ及びコイルの中から選択された 2 つ以上の組み合わせからなる受動部品でもよい。すなわち、インピーダンス部材は、抵抗、コンデンサ及びコイルの少なくとも 1 つを含む受動部品でもよい。

【0042】

図 8 は、インピーダンス部材として、コンデンサとコイルからなる回路を用いた場合の回路の例を示す図である。

図 8 に示すように、差動パターン 5 1, 5 2 間には、バイパスインピーダンス素子としてのコイル 7 1 が接続され、かつコイル 7 1 と差動パターン 5 1 との接続点 P1 とコイル 4 2 a 一端との間には、コンデンサ 7 2 が接続されている。

【0043】

例えば、ノイズ周波数が 10 MHz で、差動信号の周波数が 300 MHz であって、バイパスインピーダンス素子としてのコイル 7 1 のインダクタが 200 μH で、コンデンサ 7 2 のキャパシタンスが 0.1 pF であり、差動パターンとグラウンド (GND(S)) 層との間のインピーダンスが 1 M Ω とする。

10

20

30

40

50

【 0 0 4 4 】

この場合、ノイズ周波数（10 MHz）において、コイル71のインピーダンスは、12 k Ω であるのに対して、パルストランス側のインピーダンスとコンデンサのインピーダンスの和は、162 k Ω となる。

【 0 0 4 5 】

一方、信号周波数（300 MHz）においては、パルストランス側のインピーダンスとコンデンサのインピーダンスの和は、99 k Ω であるのに対して、コイル71のインピーダンスは、376 k Ω となる。さらに、上述したように、差動パターンとグラウンド（GND(S)）層との間のインピーダンスは1 M Ω である。と

従って、信号周波数（300 MHz）においては、パルストランス側のインピーダンスとコンデンサ72のインピーダンスの和は、コイル71のインピーダンスよりも小さいので、信号電流は、パルストランス42へ流れる。一方、ノイズ周波数（10 MHz）においては、コイル71のインピーダンスは、パルストランス側のインピーダンスとコンデンサ72のインピーダンスの和よりも小さいので、ノイズ電流は、パルストランス42へは流れず、コイル71に流れる。

10

【 0 0 4 6 】

以上のように、図8の場合、ノイズ周波数においては、バイパスインピーダンス素子であるコイル71のインピーダンスは、コイル71と並列に接続されている回路（コンデンサ72とコイル42aを含む回路）のインピーダンスよりも小さい。その結果、ノイズ電流は、バイパスインピーダンス素子であるコイル71に流れるが、差動信号電流は、パルストランス側回路へ流れる。

20

【 0 0 4 7 】

さらになお、以上の実施の形態では、差動信号がLVDS信号である例を挙げたが、上述した実施の形態の構成は、RS-422、DVI、eDP、V-by-One HS等の差動信号にも適用可能である。

【 0 0 4 8 】

また、以上の実施の形態では、基板上に設けられたパターンに流れる差動信号の例を説明したが、上述した実施の形態の技術は、ツイストペア線に流れる差動信号についても適用できる。

【 0 0 4 9 】

以上のように、上述した実施の形態に係る内視鏡システムによれば、差動信号がパルストランスを介して伝送される場合において、差動伝送線路間にノイズ周波数におけるパルストランスのインピーダンスよりも小さいインピーダンスを有するインピーダンス部材により、差動信号の実信号の劣化を抑制することができる。

30

【 0 0 5 0 】

よって、上述した実施の形態によれば、イミュニティ耐性を向上させた内視鏡システムを実現することができる。

【 0 0 5 1 】

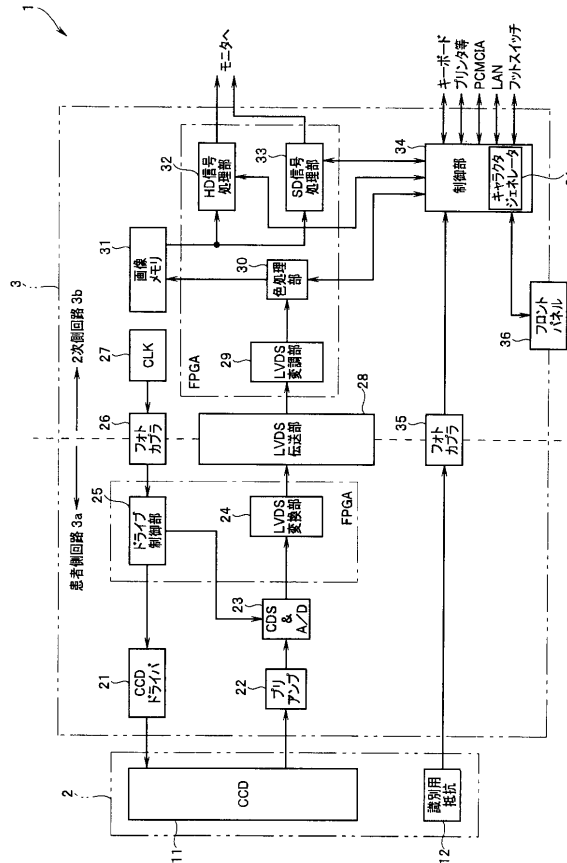
本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

40

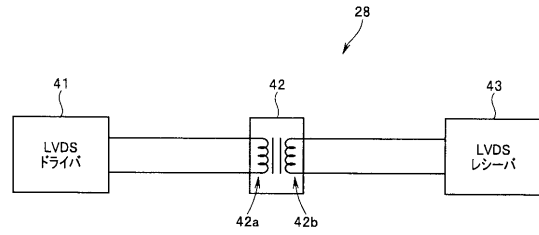
【 0 0 5 2 】

本出願は、2010年7月30日に日本国に出願された特願2010-172860号を優先権主張の基礎として出願するものであり、上記の開示内容は、本願明細書、請求の範囲に引用されるものとする。

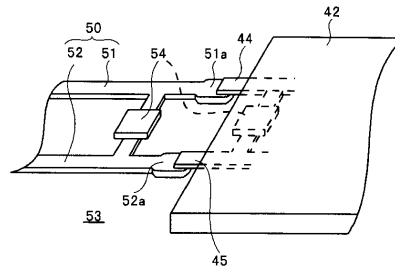
【 図 1 】



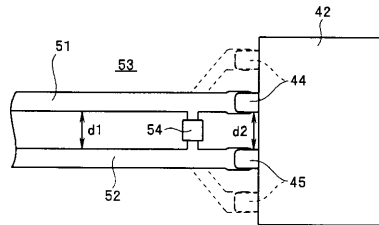
【 図 2 】



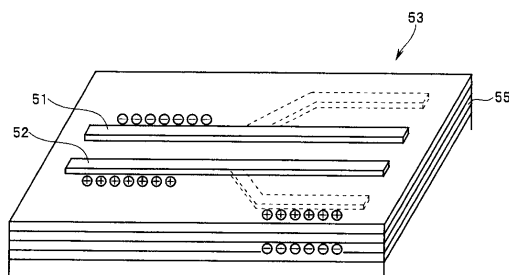
【 図 3 】



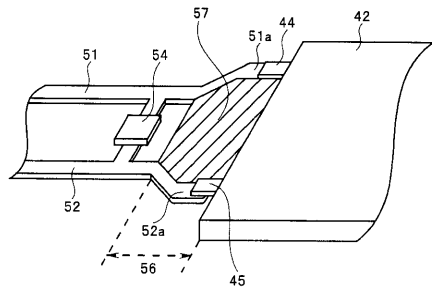
【 図 4 】



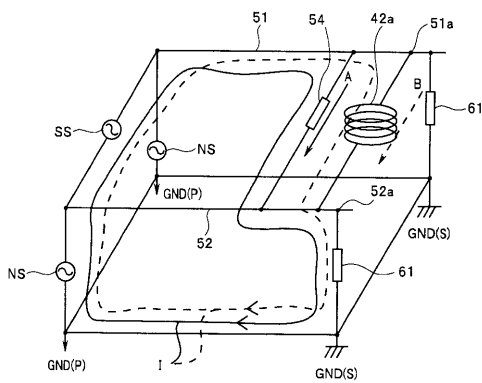
【 図 5 】



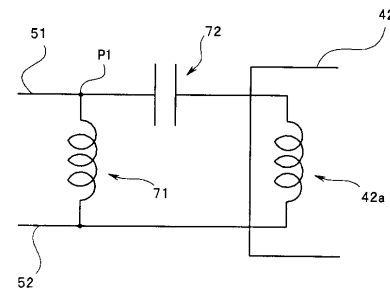
【 図 6 】



【圖 7】



【 図 8 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

A61B 1/00 - 1/32

专利名称(译)	内窥镜系统		
公开(公告)号	JP5009452B2	公开(公告)日	2012-08-22
申请号	JP2012517025	申请日	2011-05-13
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
当前申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	瀬川和則		
发明人	瀬川 和則		
IPC分类号	A61B1/04		
CPC分类号	A61B1/05 A61B1/00009 A61B1/00043 A61B1/00114		
FI分类号	A61B1/04.362.J		
代理人(译)	伊藤 进		
审查员(译)	门田弘		
优先权	2010172860 2010-07-30 JP		
其他公开文献	JPWO2012014547A1		
外部链接	Espacenet		

摘要(译)

内窥镜系统1连接到输出差分信号的LVDS驱动器41，传输从LVDS驱动器41输出的差分信号的差分传输线50，以及差分传输线的一端以执行差分传输。输入由线路50发送的差分信号的脉冲变压器42，以及作为旁路阻抗元件的电阻器54，其与输入差分信号的脉冲变压器42的输入侧的脉冲变压器42并联连接。。电阻器54的阻抗小于噪声频率下脉冲变压器42侧的电路阻抗。

【図 6】

